



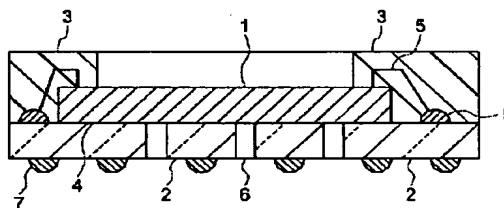
PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2003017625 A**(43) Date of publication of application: **17.01.03**(51) Int. Cl **H01L 23/12**(21) Application number: **2001199616**(71) Applicant: **SONY CORP**(22) Date of filing: **29.06.01**(72) Inventor: **TANAKA KENZO**(54) **INTERPOSER AND SEMICONDUCTOR PACKAGE** COPYRIGHT: (C)2003,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an interposer and a semiconductor package capable of reducing the warpage of the package and a shear stress at a bonded interface even in mounting.

SOLUTION: The semiconductor package 100 is provided with a semiconductor chip 1, an interposer substrate 2, slits 6 formed on one part between two tops forming the diagonal of the substrate 2 on a region where the chip 1 is mounted on the substrate 2 so as to be perpendicular to a long side, and sealing resins 3 for sealing fine metal wires 5 for connecting between electrodes 9 formed on the substrate 2 and the chip 1. By this configuration, in mounting the package 100 on the substrate 2, the warpage of the substrate 2 can be reduced by the slits 6. Also, in mounting the package 100 on a mother board by solder bonding, a shear stress generated on an interface at the substrate 2, the chip 1 and the resins 3 due to variations in bonding temperature can be reduced.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-17625
(P2003-17625A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl.⁷

H 0 1 L 23/12

識別記号

5 0 1

F I

H 0 1 L 23/12

データベース* (参考)

5 0 1 W

5 0 1 B

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願2001-199616 (P2001-199616)

(22) 出願日 平成13年6月29日 (2001.6.29)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 田中 憲三

福岡県福岡市早良区百道浜2丁目3番2号

ソニーセミコンダクタ九州株式会社内

(74) 代理人 100094053

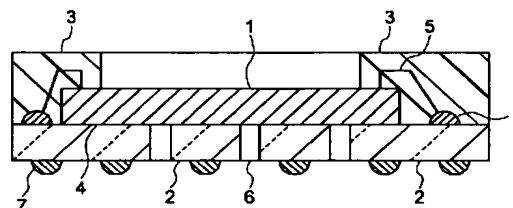
弁理士 佐藤 隆久

(54) 【発明の名称】 インターポーザおよび半導体パッケージ

(57) 【要約】

【課題】 実装時においても、パッケージの反りの低減および接合界面のせん断応力低減可能なインターポーザおよび半導体パッケージを提供する。

【解決手段】 半導体チップ1と、インターポーザ基板2と、インターポーザ基板2に半導体チップ1が搭載される領域で、インターポーザ基板2の対角をなす2つの頂点間の一部で、長辺に垂直になるように形成されたスリット6と、インターポーザ基板2上に形成された電極9と半導体チップ1を接続する金属細線5と封止する封止樹脂3を設けたので、半導体パッケージ100をインターポーザ基板2に実装する場合において、インターポーザ基板2の反りがスリット6により低減される。また、半導体パッケージ100をマザーボードへはんだ接合して実装する場合において、その温度変化によりインターポーザ基板2と半導体チップ1および封止樹脂3の界面に生じるせん断応力が低減される。



【特許請求の範囲】

【請求項1】電子素子を搭載するインターポーザであって、
前記電子素子との熱膨張差を緩和する熱膨張緩和手段を含むインターポーザ。

【請求項2】前記熱膨張緩和手段は、スリットである請求項1に記載のインターポーザ。

【請求項3】前記スリットは、前記インターポーザと前記電子素子の接合領域内で最大の距離をもつ2点間の一部に形成されている請求項2に記載のインターポーザ。 10

【請求項4】前記インターポーザは、矩形であり、前記スリットは、当該インターポーザの対角をなす2つの頂点間の一部に形成されている請求項2に記載のインターポーザ。

【請求項5】表面に形成された電極と、前記電極と前記電子素子を接続する配線部と、少なくとも前記配線部を封止する封止樹脂とを有する請求項1に記載のインターポーザ。

【請求項6】電子素子と、当該電子素子を搭載するインターポーザと、前記電子素子を封止する封止樹脂とを有する半導体パッケージであって、
前記インターポーザは、前記電子素子との熱膨張差を緩和する熱膨張緩和手段を含む半導体パッケージ。 20

【請求項7】前記熱膨張緩和手段は、スリットである請求項6に記載の半導体パッケージ。

【請求項8】前記スリットは、前記インターポーザと前記電子素子の接合領域内で最大の距離をもつ2点間の一部に形成されている請求項7に記載の半導体パッケージ。

【請求項9】前記インターポーザは、矩形であり、前記スリットは、当該インターポーザの対角をなす2つの頂点間の一部に形成されている請求項7に記載の半導体パッケージ。 30

【請求項10】前記インターポーザ上に形成された電極と、前記電極と前記電子素子を接続する配線部とを有し、前記封止樹脂は、少なくとも前記配線部を封止している請求項6に記載の半導体パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップを実装するインターポーザ、および当該インターポーザに半導体チップを実装した半導体パッケージに関する。

【0002】

【従来の技術】デジタルビデオカメラ、デジタル携帯電話、あるいはノートパソコンなど、携帯用電子機器の小型化、薄型化、軽量化に対する要求は強くなる一方であり、これに応えるために近年のVLSIなどの半導体装置においては、3年で7割の縮小化を実現してきた一方で、実装基板上の部品実装密度をいかに向上させるかが 50

重要な課題として研究および開発がなされてきた。

【0003】従来、半導体装置のパッケージ形態としては、DIP (Dual Inline Package) あるいはPGA (Pin Grid Array) などのプリント基板に設けられたスルーホールにリード線を挿入して実装するリード挿入型 (THD: Through Hole Mount Device) やQFP (Quad Flat Packag) あるいはTCP (Tape Carrier package) リード端子を基板の表面にハンダつけて実装する表面実装型 (SMD: Surface Mount Device) が用いられてきた。さらに、装置の小型化、高密度化のために、パッケージサイズを半導体チップの大きさに限りなく近づけたチップサイズパッケージ (CSP: Chip Size Package、FBGA (Fine-Pitch BGA)) とも呼ばれるパッケージ形態に移行してきた。

【0004】図9は、従来構造の半導体チップ露出型パッケージの構造を示す斜視図である。図10は、図9のA-A'間での断面図である。

【0005】たとえば、従来構造の半導体パッケージ100は、図9、10に示すように、ガラスエポキシ材等からなるインターポーザ基板2a上に接着材4を介して半導体チップ1が搭載され、インターポーザ基板2a上に形成された電極9と、半導体チップ1が金属細線5で電氣的に接続され、金属細線5と半導体チップ1の一部が封止樹脂3で封止されている。インターポーザ2aチップ搭載面の裏面には、金属細線5と電氣的に接続されたランド7が形成されている。

【0006】上記の半導体パッケージ100は、不図示のマザーボード (実装基板) の端子とインターポーザ2のランド7とがハンダ接合で電氣的に接続されるように、マザーボード上に実装されて使用されることになる。

【0007】次に上述した従来構造の半導体チップ露出型パッケージ100の製造方法を説明する。

【0008】まず、ガラスエポキシ等からなるインターポーザ基板2aの上面に、半導体チップ1を接着材4を介して接着する。この際、接着材4として、たとえば銀ペーストをインターポーザ基板2aと半導体チップ1の間に塗布し、約160℃の熱で圧着させる。

【0009】そして、半導体チップ1のボンディングパッドとインターポーザ基板2aの上部に形成されている電極9とを金属細線5で結線する。

【0010】そして、インターポーザ基板2aを図示しない上型と下型とからなる封止用金型で挟み、封止樹脂3を注入硬化させることで、半導体パッケージ100が完成する。

【0011】

【発明が解決しようとする課題】しかしながら、上述した従来構造の半導体パッケージには、以下のように主として大きく2つの問題点がある。

【0012】その1つとしては、半導体パッケージ10

0は、半導体チップ1、インターポーザ基板2a、および封止樹脂3という線膨張率の異なる異材料間を接合した構造であるため、温度変化がある場合に半導体パッケージ100に反りが発生する。

【0013】温度上昇量を ΔT 、半導体チップ1の線膨張率を α_1 、インターポーザ基板2aの線膨張率を α_2 、封止樹脂3の線膨張率を α_3 、半導体チップ1に発生する熱膨張量を δ_1 、インターポーザ基板2aに発生する熱膨張量を δ_2 、封止樹脂3に発生する熱膨張量を δ_3 、半導体チップ1の長さを t_1 、インターポーザ基板2aの長さを t_2 、封止樹脂3の長さを t_3 とすると、以下の関係がある。

【0014】

【数1】 $\delta_1 = t_1 \cdot \alpha_1 \cdot \Delta T$

$\delta_2 = t_2 \cdot \alpha_2 \cdot \Delta T$

$\delta_3 = t_3 \cdot \alpha_3 \cdot \Delta T$

【0015】温度変化 ΔT が発生すると、線膨張率 α_1 と線膨張率 α_2 および線膨張率 α_3 の違いにより半導体チップ1とインターポーザ基板2aおよび封止樹脂3が異なる比率で伸縮し反りの原因となる。

【0016】具体的に、各材料のおおよその線膨張率を以下に示す。半導体チップ1のシリコンの線膨張率は $3.5 \times 10^{-6}/^{\circ}\text{C}$ 、インターポーザ基板2aの線膨張率は $15 \times 10^{-6}/^{\circ}\text{C}$ 、封止樹脂3の線膨張率は $16 \times 10^{-6}/^{\circ}\text{C}$ である。上述のようにシリコンの線膨張率とインターポーザ基板2aの線膨張率の比率は約1/4、またシリコンの線膨張率と封止樹脂3の線膨張率の比率は約1/4.5である。

【0017】図11は、上記半導体パッケージ100にマイナスの温度荷重がかけられた場合の変形の様子を模式的に示す断面図である。説明の簡略化のために半導体チップ1およびインターポーザ基板2a以外の構成要素は図示しない。

【0018】インターポーザ基板2aに半導体チップ1を搭載する際に、接着材4を塗布し熱硬化させる。この熱硬化の際の高温での状態が反りおよび応力ゼロの相対位置となるため、冷却時にはマイナスの温度荷重された状態となり、半導体チップ1よりもインターポーザ基板2aの収縮量が大きいため縁部が下側に反ってしまう。

【0019】この反りが大きい場合には、半導体パッケージ100をマザーボードに実装する際に、はんだ接合の不具合が発生するという問題点がある。たとえば、反り量の大きい箇所は、インターポーザ基板2aが実装される図示しないマザーボードと、インターポーザ基板2aの隙間が大きくなるため、はんだ量が不足し、十分なはんだ付け結合信頼性が得られないという問題点がある。

【0020】2つめの問題点としては、上述した異材料間の線膨張率の違いにより、半導体パッケージ100をマザーボードに実装する際にはんだ接合に伴う温度上

昇による膨張が発生した場合に、異材料間の接合界面にせん断応力が発生し接合界面の剥離が発生するという問題点がある。

【0021】たとえば、半導体パッケージ100をマザーボードに実装する際にはんだ接合に伴う温度上昇により、インターポーザ基板2aと封止樹脂3との接合界面にせん断応力が発生し、インターポーザ基板2aと封止樹脂3の接合界面の剥離が生じ、金属細線5が断線する可能性がある。その場合には、金属細線5の断線により半導体チップ1の内部の電気回路が正常に動作しないという問題点がある。

【0022】本発明は、かかる事情に鑑みてなされたものであり、その目的は、半導体パッケージの反りを低減でき、マザーボード実装時においてマザーボードとインターポーザとの隙間を均一に保つことができるインターポーザおよびそのインターポーザを用いた半導体パッケージを提供することにある。

【0023】また、本発明の他の目的は、マザーボード実装時においてインターポーザと半導体チップとの接合界面および封止樹脂との接合界面のせん断応力による界面剥離を防止可能なインターポーザおよびそのインターポーザを用いた半導体パッケージを提供することにある。

【0024】

【課題を解決するための手段】上記の目的を達成するため、本発明のインターポーザは、電子素子を搭載するインターポーザであって、前記電子素子との熱膨張差を緩和する熱膨張緩和手段を含む。

【0025】好適には、前記熱膨張緩和手段は、スリットである。

【0026】また、好適には、前記スリットは、前記インターポーザと前記電子素子の接合領域内で最大の距離をもつ2点間の一部に形成されている。

【0027】また、好適には、前記インターポーザは、矩形であり、前記スリットは、当該インターポーザの対角をなす2つの頂点間の一部に形成されている。

【0028】また、好適には、表面に形成された電極と、前記電極と前記電子素子を接続する配線部と、少なくとも前記配線部を封止する封止樹脂とを有する。

【0029】上記の本発明のインターポーザによれば、前記電子素子との熱膨張差を緩和するための熱膨張緩和手段であるスリットが、たとえば、インターポーザと電子素子の接合領域内で最大の距離をもつ2点間の一部に形成されている。このため、たとえば、本発明のインターポーザに電子素子を熱をかけ圧着することで実装する場合においても、電子素子とインターポーザとの線膨張率の違いにより生じる反りがスリットにより緩和される。また、本発明のインターポーザをマザーボードにはんだ接合で実装する際に、インターポーザと電子素子、およびインターポーザと封止樹脂の線膨張率の差に

より生じるせん断応力がスリットにより緩和される。

【0030】さらに、上記の目的を達成するため、本発明の半導体パッケージは、電子素子と、当該電子素子を搭載するインターポーザと、前記電子素子を封止する封止樹脂とを有する半導体パッケージであって、前記インターポーザは、前記電子素子との熱膨張差を緩和する熱膨張緩和手段を含む。

【0031】好適には、前記熱膨張緩和手段は、スリットである。

【0032】また、好適には、前記スリットは、前記インターポーザと前記電子素子の接合領域内で最大の距離をもつ2点間の一部に形成されている。

【0033】また、好適には、前記インターポーザは、矩形であり、前記スリットは、当該インターポーザの対角をなす2つの頂点間の一部に形成されている。

【0034】また、好適には、前記インターポーザ上に形成された電極と、前記電極と前記電子素子を接続する配線部とを有し、前記封止樹脂は、少なくとも前記配線部を封止している。

【0035】上記の本発明の半導体パッケージによれば、インターポーザに電子素子との熱膨張差を緩和するための熱膨張緩和手段であるスリットが、たとえば、インターポーザと電子素子の接合領域内で最大の距離をもつ2点間の一部に形成されている。このため、たとえば、電子素子をインターポーザに実装する際に、電子素子とインターポーザとの線膨張率の違いにより生じる反りがスリットにより緩和される。また、本発明の半導体パッケージをマザーボードにはんだ接合で実装する際に、インターポーザと電子素子、およびインターポーザと封止樹脂の線膨張率の違いにより生じるせん断応力がスリットにより緩和され、マザーボードに実装される。

【0036】

【発明の実施の形態】以下に、本発明のインターポーザおよび半導体パッケージの実施の形態について、図面を参照して説明する。

【0037】図1は、本発明の実施の形態に係る半導体パッケージ100の構造を示す断面図である。

【0038】本実施の形態に係る半導体パッケージ100は、図1に示すように、スリット6が形成されたインターポーザ基板2上に接着材4を介して半導体チップ1が搭載されている。

【0039】半導体チップ1は、たとえばシリコンチップであり、所望の機能を有する電子回路を含む。また、半導体チップ1には、図示しないボンディングパッドが形成され、インターポーザ基板2上に形成された電極9と、金属細線5で接続されている。

【0040】インターポーザ基板2上には、半導体チップ1の上部中央部を除いた部分および金属細線5と電極9を封止する、たとえばエポキシ樹脂等からなる封止樹脂

3が形成されている。

【0041】インターポーザ基板2の半導体チップ1搭載面の裏面には、金属細線5と電気的に接続されたランド7が形成されており、図示しないマザーボードに実装する際に、マザーボードに形成された電極と接続される。

【0042】図2は図1の半導体チップ1とインターポーザ基板2の接続部分を拡大した図である。

【0043】上述したように、インターポーザ基板2には、接着材4を介して半導体チップ1が搭載される。この接着材4は、たとえば、フィラ8を含む銀ペースト等であり半導体チップ1とインターポーザ基板2を固着する役割を持っている。銀ペーストの熱硬化温度は約160℃前後である。フィラ8は、一定の直径を持つ球状の形状をした粒子であり、半導体チップ1とインターポーザ基板2の間に介在して、半導体チップ1とインターポーザ基板2の間隔を一定に保つ機能を有する。

【0044】図3は図1のインターポーザ基板の裏面を示す図である。

【0045】インターポーザ基板2には、スリット6が形成されている。たとえば、スリット6は、図3に示すように、半導体チップ1が搭載される領域にインターポーザ基板2の長辺と垂直になるように平行な3本のスリットが形成され、フィラ8の間に形成されている。

【0046】図4は、インターポーザ基板2の反りを説明するための図である。反り量は、異材料間の接合距離に比例して増加する傾向がある。本実施の形態のように、図4に示すような接合領域をもつ場合には、半導体チップ1とインターポーザ基板2aの接合領域の長手方向の距離、つまり対角線B-B'および対角線C-C'に沿って測った接合距離が他に比して長いために、その方向での伸縮が大きくなり、それに応じた反りが生じる。

【0047】このため、本実施の形態ではスリット6は、インターポーザ基板2の長手方向である対角線に沿って測った距離、つまり接合領域の対角する2頂点の間の距離が接合領域内の一番長い接合距離であり、かつインターポーザ基板2では長辺が長いために、長辺に垂直になるようにスリットを形成した。実際には、スリット6の位置や形状は、インターポーザ基板2に形成されている電極9やランド7や半導体チップ1等の配置を考慮して形成する必要がある。

【0048】図5は、上記半導体パッケージ100にマイナスの温度荷重がかけられた場合の変形の様子を模式的に示す断面図である。

【0049】説明の簡単のためインターポーザ基板2以外の半導体チップ1、封止樹脂3、金属細線5、ランド7等の構成要素は図示しない。

【0050】上述したように、半導体チップ1とインターポーザ基板2の線膨張率が異なり、半導体チップ1の

線膨張率がインターポーザ基板2の面方向の線膨張率の1/4程度である。

【0051】このため、インターポーザ基板2にスリット6を形成しない場合には、製造時に半導体チップ1の搭載のために、熱が印加され、この高温での状態が反りおよび応力ゼロの相対位置となるため、冷却時には、マイナスの温度荷重された状態となり、半導体チップ1よりもインターポーザ基板2の収縮量が大きいので下側に反ってしまう。

【0052】また、半導体パッケージ100をマザーボードに、はんだ接合により実装する際の温度上昇のために、インターポーザ基板2が膨張し、半導体チップ1や封止樹脂3の間にせん断応力が発生する。

【0053】図6は、種類の異なるエポキシ樹脂Aおよび樹脂Bで形成されたインターポーザ基板2の反り量dとスリットの本数との関係を示す図である。

【0054】上記のような状態において、インターポーザ基板2に形成するスリットの数をも、1、3本に変えて反り量dを測定した。また、インターポーザ基板2の成分を変えて測定した。

【0055】また、スリット6は、図3に示すように、インターポーザ基板2の中央部に、インターポーザ基板2の長辺と垂直になるように平行な3本のスリットを形成し、スリットが1本の場合には、図3の3本のうちの中央のスリット1本のみを形成した。その結果を図6に示す。

【0056】インターポーザ基板2の材料が樹脂Aの場合を説明する。インターポーザ基板2にスリットが形成されていない場合の反り量dは、最大70.5、最小60.0 μm 、平均70.0 μm であった。インターポーザ基板2に1本のスリット6が形成されている場合の反り量dは、最大70.0 μm 、最小50.0 μm 、平均64.0 μm であった。また、インターポーザ基板2に3本のスリット6が形成されている場合の反り量dは、最大58.0 μm 、最小50.0 μm 、平均52.0 μm であった。

【0057】また、図6に示すように、インターポーザ基板2の材料が樹脂Bの場合を説明する。インターポーザ基板2にスリットが形成されていない場合の反り量dは、最大70.0、最小50.0 μm 、平均63.0 μm であった。インターポーザ基板2に1本のスリット6が形成されている場合の反り量dは、最大50.0 μm 、最小46.0 μm 、平均48.0 μm であった。また、インターポーザ基板2に3本のスリット6が形成されている場合の反り量dは、最大48.0 μm 、最小40.0 μm 、平均44.0 μm であった。

【0058】図6に示すように、いずれの場合でも、インターポーザ基板2を構成する樹脂が異なるにもかかわらず、スリット6を形成することにより反り量dが低減するという効果が見られた。なお、実際には、反り量dは

約60 μm 以下であることが望ましい。

【0059】上述したように本実施の形態の半導体パッケージ100では、インターポーザ基板2に、半導体チップ1が搭載される領域で、インターポーザ基板2の対角をなす2つの頂点間の一部で、長辺に垂直になるようにスリット6を形成したので、たとえば、インターポーザ基板2に半導体チップ1を実装した際に、インターポーザ基板2と半導体チップ1の線膨張率の差から生じる反りがスリット6で緩和され、半導体パッケージ100をマザーボードにはんだ接合して実装する際に、半導体パッケージ100とマザーボードの隙間がほぼ同じ間隔になり、はんだ接合性を向上することができるという利点がある。

【0060】また、たとえば、半導体パッケージ100をマザーボードへ加熱して実装する場合において、その温度変化によりインターポーザ基板2と半導体チップ1との熱膨張差、およびインターポーザ基板2と封止樹脂3との熱膨張差により発生するせん断応力がスリット6により緩和されて、インターポーザ基板2、半導体チップ1、および封止樹脂3の接合界面のせん断応力による界面剥離を防止でき、半導体パッケージ100の信頼性を向上させることができるという利点がある。

【0061】なお、本発明は本実施の形態に限られるものではなく、任意好適な種々の改変が可能である。たとえば、スリット6の形状や寸法や数量は上記の実施の形態に限られるものではない。たとえば、図7に示すように、スリット6は、十字型のスリットを3つ並んで形成してもよい。また、図8に示すように、スリット6は、インターポーザ基板2の中央にチップの大きさよりも小さくくり抜かれた形態でもよい。

【0062】

【発明の効果】このように、本発明のインターポーザおよび半導体パッケージによれば、半導体パッケージの反りを低減でき、マザーボード実装時において、マザーボードとインターポーザとの隙間を均一に保つことができ、はんだ接合の信頼性を向上させることができる。また、マザーボード実装時においてインターポーザと電子素子および封止樹脂の接合界面のせん断応力による界面剥離を防止することができ、半導体パッケージの信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明に係る半導体パッケージ100の一実施の形態の構造を示した断面図である。

【図2】図1の半導体チップとインターポーザ基板の接続部分を拡大した図である。

【図3】図1のインターポーザ基板の裏面図である。

【図4】インターポーザ基板の反りを説明する図である。

【図5】本実施の形態に係るインターポーザ基板のマイナスの温度荷重がかけられた場合の変形の様子を示す図

である。

【図6】本実施の形態に係るインターポーザ基板の反り量とスリットの本数との関係を示す図である。

【図7】本発明に係るインターポーザ基板の変形例を示す図である。

【図8】本発明に係るインターポーザ基板の変形例を示す図である。

【図9】従来構造の半導体チップ露出型パッケージの構造を示す斜観図である。

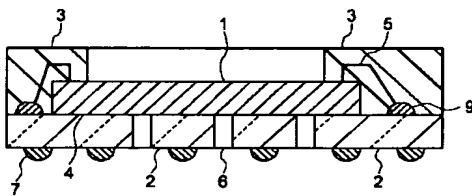
【図10】図9のA-A' 間での断面図である。

【図11】従来のインターポーザ基板のマイナスの温度荷重がかけられた場合の変形の様子を示す図である。

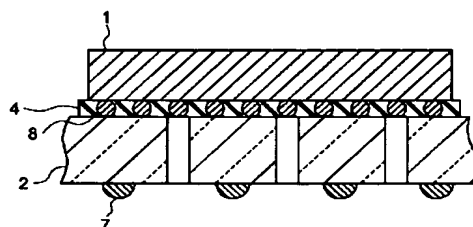
【符号の説明】

100…半導体パッケージ、1…半導体チップ、2…インターポーザ基板、3…封止樹脂、4…接着材、5…金属細線、6…スリット、7…ランド、8…フィラ、9…電極。

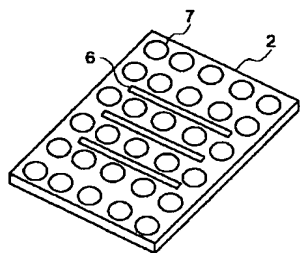
【図1】



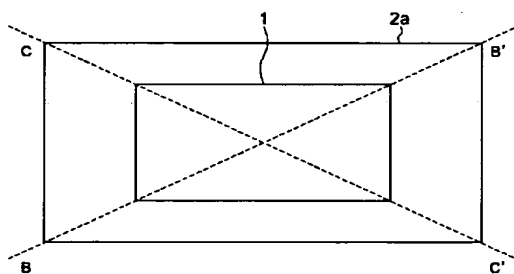
【図2】



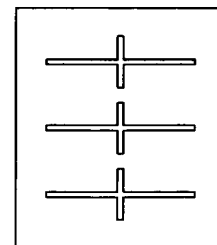
【図3】



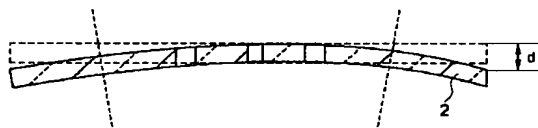
【図4】



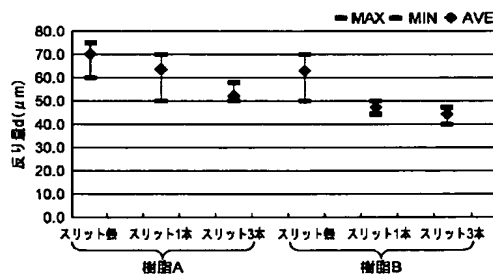
【図7】



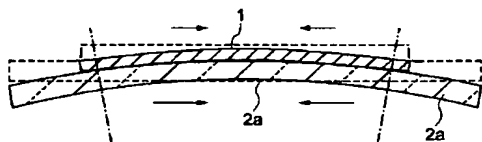
【図5】



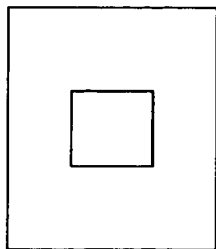
【図6】



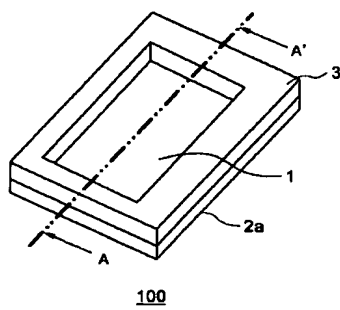
【図11】



【図8】



【図9】



【図10】

